

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 2日

出 願 番 号

Application Number:

特願2002-225865

[ST.10/C]:

[JP2002-225865]

出 願 人

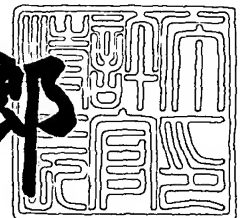
Applicant(s):

株式会社沖デジタルイメージング
株式会社沖データ

2003年 5月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3035699

【書類名】 特許願

【整理番号】 MA901295

【提出日】 平成14年 8月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 33/00

【発明者】

 【住所又は居所】 東京都八王子市東浅川町 5 5 0 番地の 1 株式会社沖デ
 ジタルイメージング内

 【氏名】 藤原 博之

【発明者】

 【住所又は居所】 東京都八王子市東浅川町 5 5 0 番地の 1 株式会社沖デ
 ジタルイメージング内

 【氏名】 谷中 真澄

【発明者】

 【住所又は居所】 東京都八王子市東浅川町 5 5 0 番地の 1 株式会社沖デ
 ジタルイメージング内

 【氏名】 小澤 進

【発明者】

 【住所又は居所】 東京都八王子市東浅川町 5 5 0 番地の 1 株式会社沖デ
 ジタルイメージング内

 【氏名】 小泉 真澄

【特許出願人】

 【識別番号】 500002571

 【氏名又は名称】 株式会社沖デジタルイメージング

【特許出願人】

 【識別番号】 591044164

 【氏名又は名称】 株式会社沖データ

【代理人】

 【識別番号】 100083840

【弁理士】

【氏名又は名称】 前田 実

【選任した代理人】

【識別番号】 100116964

【弁理士】

【氏名又は名称】 山形 洋一

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9407118

【包括委任状番号】 0104055

【包括委任状番号】 0010218

【包括委任状番号】 0104054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体素子アレイ

【特許請求の範囲】

【請求項 1】 電流阻止層の上に、半導体層を有する半導体素子アレイにおいて、

該半導体層の上に形成された第 1 の第 1 導電側配線パッドと、

該半導体層の上に形成され、前記第 1 の第 1 導電側配線パッド及び該半導体層と絶縁した第 2 の第 1 導電側配線パッドと、

前記半導体層に複数形成され、それぞれが第 1 導電側電極と第 2 導電側接続部とを有し、前記各第 1 導電側電極がそれぞれ前記半導体層の導電路を經由して前記第 1 の第 1 導電側配線パッドに電氣的に接続される第 1 のグループの半導体素子群と、

前記半導体層に複数形成され、それぞれが第 1 導電側電極と第 2 導電側接続部とを有して前記第 1 のグループの半導体素子群と絶縁すると共に、各第 1 導電側電極が、前記第 2 の第 1 導電側配線パッドに所定の導電経路を介して電氣的に接続される第 2 のグループの半導体素子群と

を有することを特徴とする半導体素子アレイ。

【請求項 2】 前記導電経路が、前記半導体素子群の配列方向の略全域わたって延在する共通配線部を有し、前記半導体層の導電路を、該共通配線部と交差するように形成したことを特徴とする請求項 1 記載の半導体素子アレイ。

【請求項 3】 前記半導体層を下層から順に、 $Al_xGa_{1-x}As$ クラッド層、 $Al_yGa_{1-y}As$ 活性層、 $Al_zGa_{1-z}As$ クラッド層、及び $GaAs$ コンタクト層としたことを特徴とする請求項 1 又は 2 記載の半導体素子アレイ。

【請求項 4】 前記半導体層を下層から順に、 n 型 $GaAs$ コンタクト層、 n 型 $Al_xGa_{1-x}As$ クラッド層、 $Al_yGa_{1-y}As$ 活性層、 p 型 $Al_zGa_{1-z}As$ クラッド層、及び p 型 $GaAs$ コンタクト層としたことを特徴とする請求項 1 又は 2 記載の半導体素子アレイ。

【請求項 5】 更に、前記第 1 と第 2 の半導体素子群の全素子数の半数の第 2 導電側配線パッドを有し、それぞれの該第 2 導電側配線パッドが、隣接し且つ

異なるグループに属する一対の前記半導体素子の前記第 2 導電型接続部に電氣的に接続されていることを特徴とする請求項 1 乃至 4 の何れかに記載の半導体素子アレイ。

【請求項 6】 電流阻止層の上に、半導体層と該半導体層の上に形成された層間絶縁膜とを有する半導体素子アレイにおいて、

前記半導体層に複数形成され、それぞれが第 1 導電側電極と第 2 導電型接続部とを含む半導体素子を有し、互いに電氣的に独立する複数の島状の半導体ブロックと、

前記半導体層の所定の層にオーミックコンタクトすると共に、前記半導体ブロックの第 1 のグループの前記第 1 導電側電極と電氣的に接続する複数の個別電極と、

前記層間絶縁膜の上に形成されて前記半導体ブロックの第 2 のグループの前記第 1 導電側電極と電氣的に接続された第 2 の第 1 導電側配線パッドとを有し、

前記複数の個別電極の何れか 1 つを第 1 の第 1 導電側配線パッドとしたことを特徴とする半導体素子アレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子アレイの構造に関し、特にそのワイヤボンダ用の配線パッドの接続構造及び積層構造に関する。

【0002】

【従来の技術】

図 19 は、従来の半導体素子アレイの一例を示す特開平 1 3 - 7 7 4 3 1 号公報に開示された発光素子アレイ 1 0 0 の構成を示す平面図である。この発光素子アレイ 1 0 0 は、その上面が所定の深さに形成された分離溝 1 0 2 によって複数の半導体ブロック 1 0 3 に分かれ、それぞれが互いに電氣的に分離されている。各半導体ブロック 1 0 3 には、例えば 8 個の発光部 1 0 1 が各半導体ブロック毎に直線状に形成されている。

【 0 0 0 3 】

そして各半導体ブロック 1 0 3 には、それぞれの発光部 1 0 1 に電氣的に接続された共通電極 1 0 4 が形成され、この共通電極 1 0 4 と同じ層に、各半導体ブロック 1 0 3 にまたがって互いに電氣的に分離する 8 列の共通配線 1 0 5 が形成されている。そしてこれらの層の上には層間絶縁膜 1 0 6 が形成され、更にこの層間絶縁膜 1 0 6 上には、各発光部 1 0 1 の個別電極 1 0 7 に個々に電氣的に接続された個別配線 1 0 8 と電極パッド 1 0 9, 1 1 0 が形成されている。

【 0 0 0 4 】

そして層間絶縁膜 1 0 6 に形成された開口 1 1 1 を介して、各半導体ブロック 1 0 3 の同位置に配設された発光部 1 0 1 につながる個別配線 1 0 8 とうしが、各共通配線 1 0 5 を介して電氣的に接続されている。そして各半導体ブロック 1 0 3 の共通電極 1 0 4 と電極パッド 1 1 0 とが引出し配線 1 1 2 によって電氣的に接続され、各共通配線 1 0 5 と電極パッド 1 0 9 とが引出し線 1 1 3 によって電氣的に接続されている。

【 0 0 0 5 】

以上のように構成することによって、多数の発光部 1 0 1 を、より少ない数の電極パッド 1 0 9, 1 1 0 を介してマトリックス駆動することが可能となる。

【 0 0 0 6 】

【発明が解決しようとする課題】

しかしながら、共通電極 1 0 4 及び共通配線 1 0 5 と、個別配線 1 0 8 及び引出し配線 1 1 2, 1 1 3 とは、層間絶縁膜 1 0 6 を介して重なり合っているため、本来絶縁されるべき両配線がプロセス中のごみや静電気によって短絡したり、交叉部分において下層配線の厚みの影響によって上層配線に生ずる配線段差部に段切れが生じる問題があった。

【 0 0 0 7 】

更に、配線を多層で行っているため、単層に行う場合に比べて、絶縁膜の加工工程と配線の加工工程とで、少なくとも 2 回のフォトリソグラフィ工程が余分に必要となって製造コストが高くなる問題があった。

【 0 0 0 8 】

本発明の目的は、これらの問題点を解消し、製品の製造歩留まりを改善すると共に、製造工程の簡素化、製造コストダウンに貢献できる半導体素子アレイを提供することにある。

【0009】

【課題を解決するための手段】

【発明の実施の形態】

請求項1の半導体素子アレイは、電流阻止層の上に、半導体層を有する半導体素子アレイにおいて、

該半導体層の上に形成された第1の第1導電側配線パッドと、該半導体層の上に形成され、前記第1の第1導電側配線パッド及び該半導体層と絶縁した第2の第1導電側配線パッドと、前記半導体層に複数形成され、それぞれが第1導電側電極と第2導電型接続部とを有し、前記各第1導電側電極がそれぞれ前記半導体層の導電路を經由して前記第1の第1導電側配線パッドに電氣的に接続される第1のグループの半導体素子群と、前記半導体層に複数形成され、それぞれが第1導電側電極と第2導電型接続部とを有して前記第1のグループの半導体素子群と絶縁すると共に、各第1導電側電極が、前記第2の第1導電側配線パッドに所定の導電経路を介して電氣的に接続される第2のグループの半導体素子群と

を有することを特徴とする。

【0010】

請求項2の半導体素子アレイは、請求項1の半導体素子アレイにおいて、

記載前記導電経路が、前記半導体素子群の配列方向の略全域わたって延在する共通配線部を有し、前記半導体層の導電路を、該共通配線部と交差するように形成したことを特徴とする。

【0011】

請求項3の半導体素子アレイは、請求項1又は2記載の半導体素子アレイにおいて、

前記半導体層を下層から順に、 $Al_xGa_{1-x}As$ クラッド層、 $Al_yGa_{1-y}As$ 活性層、 $Al_zGa_{1-z}As$ クラッド層、及び $GaAs$ コンタクト層としたことを特徴とする。

【 0 0 1 2 】

請求項 4 の半導体素子アレイは、請求項 1 又は 2 記載の半導体素子アレイにおいて、

前記半導体層を下層から順に、 n 型 $GaAs$ コンタクト層、 n 型 $Al_xGa_{1-x}As$ クラッド層、 $Al_yGa_{1-y}As$ 活性層、 p 型 $Al_zGa_{1-z}As$ クラッド層、及び p 型 $GaAs$ コンタクト層としたことを特徴とする。

【 0 0 1 3 】

請求項 5 の半導体素子アレイは、請求項 1 乃至 4 の何れかに記載の半導体素子アレイにおいて、

更に、前記第 1 と第 2 の半導体素子群の全素子数の半数の第 2 導電側配線パッドを有し、それぞれの該第 2 導電側配線パッドが、隣接し且つ異なるグループに属する一対の前記半導体素子の前記第 2 導電型接続部に電気的に接続されていることを特徴とする。

【 0 0 1 4 】

請求項 6 の半導体素子アレイは、電流阻止層の上に、半導体層と該半導体層の上に形成された層間絶縁膜とを有する半導体素子アレイにおいて、

前記半導体層に複数形成され、それぞれが第 1 導電側電極と第 2 導電型接続部を含む半導体素子を有し、互いに電気的に独立する複数の島状の半導体ブロックと、前記半導体層の所定の層にオーミックコンタクトすると共に、前記半導体ブロックの第 1 のグループの前記第 1 導電側電極と電気的に接続する複数の個別電極と、前記層間絶縁膜の上に形成されて前記半導体ブロックの第 2 のグループの前記第 1 導電側電極と電気的に接続された第 2 の第 1 導電側配線パッドと

を有し、前記複数の個別電極の何れか 1 つを第 1 の第 1 導電側配線パッドとしたことを特徴とする。

【 0 0 1 5 】

【発明の実施の形態】

実施の形態 1.

図 1 は、本発明の半導体素子アレイによる実施の形態 1 の LED アレイ 1 の要部構成を示す平面図であり、図 2 は、図 1 中の指示線 201 を含む断面を矢印 A

方向からみた拡大断面図であり、図 7 (b) は、後述する製造過程の説明にかか
る図であるが、図 1 中の指示線 2 0 2 を含む断面を矢印 A 方向からみた断面図に
相当する。

【 0 0 1 6 】

図 2 の断面図に示すように、この LED アレイ 1 では、例えば半絶縁性 GaAs
基板で形成された高抵抗基板 2 上に、複数の層からなる半導体層に相当する n
型半導体層 7 が形成されている。この n 型半導体層 7 は、下層から順に $Al_xGa_{1-x}As$
クラッド層 3、 $Al_yGa_{1-y}As$ 活性層 4、 $Al_zGa_{1-z}As$ クラ
ッド層 5、及び GaAs コンタクト層 6 とすることができる。

【 0 0 1 7 】

ここで x 、 y 、 z は、Al の組成比を示し、発光波長は y で決めることができ
、例えば $y = 0.15$ とすることによって、760 nm の発光波長を得ることが
できる。また、 x 及び z を y より大きな値、即ち $x > y$ 、 $z > y$ とすることによ
って電流の閉じ込め効果により発光効率の良い LED を形成することができ、 x
 $= y = z$ とした場合は、所謂ホモ接合型の LED となる。

【 0 0 1 8 】

この n 型半導体層 7 には、図 1 に示すように一列に並んだ複数の島状の半導体
ブロック 8 が形成されるように、例えば過水磷酸系のエッチャントを用いたウェ
ットエッチングによる溝形成によって素子分離溝領域 9 が形成されている。尚、
半導体ブロック 8 は、LED アレイ 1 の長手方向に沿って形成されるものとする。

【 0 0 1 9 】

各半導体ブロック 8 には、例えば固相拡散法によって Zn などの p 型不純物を
拡散することにより、第 2 導電型接合部に相当する p 型半導体拡散領域 1 0 を形
成している。また図 2 に示すように各半導体ブロック 8 の n 型半導体層 7 には、
その上面に形成した後述する層間絶縁膜 1 1 の開口部に第 1 導電側電極に相当す
る n 側電極 1 2 がオーミックコンタクトを形成している。

【 0 0 2 0 】

そして、p 型半導体拡散領域 1 0 には、その上面に形成した層間絶縁膜 1 1 の

開口部を介してアノード配線パッド13の第1端子13aがオーミックコンタクトを形成し、n側電極12には後述する個別電極14に電氣的に接続する中間配線15が電氣的に接続している。

【0021】

層間絶縁膜11は、所定部を除いてLEDアレイ1の上面全域にわたって形成されている。そしてこの層間絶縁膜11の上には、素子分離溝領域9の一方の側（矢印C方向）において、第2導電側配線パッドに相当するアノード配線パッド13が、半導体ブロック8の2つ対して1つが対応するように一列に配設されている。

【0022】

一方、素子分離溝領域9の他方の側（矢印D方向）においては、配列された半導体ブロック8の1つおきに位置する第1のグループの各半導体ブロック8に対応させて個別電極14が形成されている。この個別電極14は、半導体ブロック8の配列ピッチの倍よりやや狭い幅を有して長手方向に細長く延在し、図7（b）に示すように層間絶縁膜11に形成された開口を介してその下層となるn型半導体層7の最上層であるGaAsコンタクト層6（図2）にオーミックコンタクトを形成している。

【0023】

直線状に配列されたこれら個別電極14の素子分離溝領域9と反対側の矢印D方向には、後述する共通配線18を形成するだけの間隔を介して細長い共通電極16が平行に、且つ同領域にわたって形成され、さらにこの共通電極16の矢印D方向側には、共通電極16と連続して形成された第1の第1導電側配線パッドに相当する第1のカソード配線パッド17が配設されている。

【0024】

これらの共通電極16及び第1のカソード配線パッド17は、個別電極14と同様に、図7（b）に示すように層間絶縁膜11に形成された開口を介してその下層となるn型半導体層7の最上層であるGaAsコンタクト層6（図2）にオーミックコンタクトを形成している。

【0025】

そして前記したように各個別電極 1 4 と、これに対応する 1 つおきに並んだ、第 1 のグループの各半導体ブロック 8 の n 側電極 1 2 間は、それぞれ中間配線 1 5 によって電氣的に接続されている。

【 0 0 2 6 】

一方、個別電極 1 4 と共通電極 1 6 の間の層間絶縁膜 1 1 上には長手方向に延在する共通配線 1 8 が形成され、この共通配線 1 8 からは、各個別電極 1 4 間を介して延在する引出し配線 1 9 が形成されている。この各引出し配線 1 9 の先端部 1 9 a は、配列された半導体ブロック 8 の、1 つおきに並んで中間配線 1 5 に接続されていない方の第 2 のグループの各半導体ブロック 8 の n 側電極 1 2 に電氣的に接続されている。そして、共通電極 1 6 の矢印 D 方向側には、共通配線 1 8 と電氣的に連続して形成された第 2 の第 1 導電側配線パッドに相当する第 2 のカソード配線パッド 2 0 が配設されている。

【 0 0 2 7 】

そして、各アノード配線パッド 1 3 の第 1 端子 1 3 a が、前記した第 1 のグループの各半導体ブロック 8 の p 型半導体拡散領域 1 0 にオーミックコンタクトを形成し、各アノード配線パッド 1 3 の第 2 端子 1 3 b が、前記した第 2 のグループの各半導体ブロック 8 の p 型半導体拡散領域 1 0 にオーミックコンタクトを形成している。

【 0 0 2 8 】

以後、p 型半導体拡散領域 1 0 を含んで発光動作にかかわる領域を特に発光部 2 2 と称す。またこの発光部 2 2 は、半導体素子に相当し、第 1 のグループの各半導体ブロック 8 の発光部 2 2 が第 1 のグループの半導体素子群に相当し、第 2 のグループの各半導体ブロック 8 の発光部 2 2 が第 2 のグループの半導体素子群に相当する。

【 0 0 2 9 】

次に、LED アレイ 1 の製造方法について説明する。

図 3 乃至図 7 の各図は、LED アレイ 1 の製造工程を説明するための図であり、各図 (a) は各工程での LED アレイ 1 の平面図を示し、同図 (b) は各図 (a) の指示線 2 0 3 を含む断面をそれぞれ矢印 A 方向からみた断面図である。

【0030】

図3は、LEDアレイ1の長手方向に沿った所定位置に、p型半導体拡散領域10を一行に形成した段階の製造工程図である。先ず、この製造段階に至るまでの過程を簡単に説明する。

【0031】

図3(b)に示すように、LEDアレイ1の基板として、例えば半絶縁性GaAs基板で形成された高抵抗基板2に、n型半導体層7をエピタキシャル成長させたものを使用する。このn型半導体層7としては、前記した図2に示すようにその最下層から順に $Al_xGa_{1-x}As$ クラッド層3、 $Al_yGa_{1-y}As$ クラッド層4、 $Al_zGa_{1-z}As$ クラッド層5、及びGaAsコンタクト層6とすることが出来る。尚、ここでの最上層のGaAsコンタクト6は、後述するように、各電極と良好なコンタクトを取るために有効となる。

【0032】

次にこの基板上に拡散マスク21を成膜する。そして発光部を形成する位置に対応させて開口部21aを形成し、所定の方法によって、この開口部21aからp型不純物としてのZnをn型半導体層7の活性層まで拡散し、p型半導体拡散領域10を形成する。

【0033】

次に図4に示すように、それぞれがp型半導体拡散領域10を含んで長手方向に配列され、電氣的に独立する島状の半導体ブロック8を形成するための素子分離溝領域9を形成するため、その領域に相当する拡散マスク21を除去する。そして前記したように、例えば過水燐酸系のエッチャントとを用いたウェットエッチングによって、高抵抗基板2にまで達する素子分離溝領域9を形成する。

【0034】

次に図5に示すように、図1に示す第1のカソード配線パッド17が形成される第1のカソード配線パッド形成領域11a、共通電極16が形成される共通電極形成領域11b、個別電極14が形成される個別電極形成領域11c、n側電極12が形成されるn側電極形成領域11d、及びp型半導体拡散領域10が形成された拡散形成領域11eを除いて、LEDアレイ1の平面全域に対して層間

絶縁膜 11 を形成する。尚、この層間絶縁膜 11 は、例えば Al_2O_3 、 AlN 、 Si_3N_4 等が用いられ、また簡単のため前記した拡散マスク 21 も含まれるものとする。

【0035】

その際、本実施の形態では、先ず平面全域に対して層間絶縁膜 11 を形成し、その後、上記した各形成領域に対してホトリソグラフィとエッチングを施してこれらの部分の絶縁膜を剥離する。

【0036】

次に、図 6 に示すように、 n 型半導体層 7 の最上層となる $GaAs$ コンタクト層 6 (図 2) とそれぞれがオーミックコンタクトを形成する、 n 側電極 12、個別電極 14、共通電極 16、及び第 1 のカソード配線パッド 17 が同一工程で形成される。この電極材料としては、 n 型 $GaAs$ 層とオーミックコンタクトできるものであれば特に制限はなく、例えば $AuGe/Ni/Au$ 等を積層したものが使用できる。

【0037】

そして最後に、図 7 に示すように、層間絶縁膜 11 の上に、第 1 端子 13a と第 2 端子 13b を有するアノード配線パッド 13、中間配線 15、引出し配線 19、共通配線 18、及び第 2 のカソード配線パッド 20 が同一工程で形成される。このとき、アノード配線パッド 13 の第 1 と第 2 の端子 13a、13b の各先端部は、対応する半導体ブロック 8 の p 型半導体拡散領域 10 とオーミックコンタクトを形成する。この電極材料としては、 p 型 $GaAs$ 層とオーミックコンタクトできるものであれば特に制限はなく、例えば $Ti/Pt/Au$ 等を積層したものが使用できる。

【0038】

ここで、以上のように構成された図 1 に示す LED アレイ 1 の構成において、配線構造の主な特徴は、

- (1) 第 2 のカソード配線パッド 20 に電氣的につながる共通配線 18 が LED アレイ 1 の長手方向のほぼ全域にわたって延在している点、
- (2) この共通配線 18 を挟むように、矢印 D 方向側の近傍で第 1 のカソード

配線パッド 1 7 に電氣的に接続する共通電極 1 6 が略同域にわたって平行に形成され、更に矢印 C 方向側の近傍で、複数の個別電極 1 4 が、引出し配線 1 9 を介して共通配線 1 8 と平行に直線状に形成されている点である。

【 0 0 3 9 】

以上の構成によれば、中間配線 1 5 によって n 側電極 1 2 に電氣的に接続された個別電極 1 4 は、層間絶縁膜 1 1 下の GaAs コンタクト層 6 (図 2) の導電路に相当する半導体層に一端接続され、この半導体層の導電性を利用して再び共通電極 1 6 に電氣的に接続される。従って、中間配線 1 5 につながる第 1 グループの各半導体ブロック 8 の n 側電極 1 2 は、以上の経路を介して、電氣的に第 1 のカソード配線パッド 1 7 に接続することができる。

【 0 0 4 0 】

以上のようにして形成された LED アレイ 1 の駆動方法について、図 1 の平面図を参照しながら説明する。尚、説明を容易にするため、図 1 に示す各発光部 2 2 に、図の左側から順に D 1, D 2, D 3, D 4 … の発光部番号を付す。

【 0 0 4 1 】

上記の説明から明らかなように、発光部番号が奇数の第 2 グループの半導体ブロック 8 の各発光部 2 2 の n 側電極 1 2 は、すべて第 2 のカソード配線パッド 2 0 に電氣的に接続され、発光部番号が偶数の第 1 グループの半導体ブロック 8 の発光部 2 2 の n 側電極 1 2 は、すべて第 1 のカソード配線パッド 1 7 に電氣的に接続されている。又、隣接する発光部 2 2 の一对の p 型半導体拡散領域 1 0 は p 側電極に相当する第 1、第 2 の端子 1 3 a, 1 3 b を介して同一のアノード配線パッド 1 3 に電氣的に接続されている。

【 0 0 4 2 】

従って、各アノード配線パッド 1 3 と、第 1 又は第 2 カソード配線パッド 1 7, 2 0 とをそれぞれ電氣的に選択し、p 側から n 側に順方向電流を流すことによって所望の発光部を点灯させることができる。

【 0 0 4 3 】

例えば、発光部番号が奇数の D 5 の発光部 2 2 を点灯する場合、その発光部に

繋がるアノード配線パッド13と第2のカソード配線パッド20を選択して順方向電流を流し、同様にして発光部番号が偶数のD10の発光部22を点灯する場合、その発光部に繋がるアノード配線パッド13と第1のカソード配線パッド17を選択して順方向電流を流せばよい。

【0044】

以上のようにして、2つのカソード配線パッドとn個のアノード配線パッドによって、2n個の発光部をマトリックス駆動することができる。

【0045】

以上のように、実施の形態1のLEDアレイ1によれば、n側電極を複数のグループに分け、グループ毎に共通する配線パッドを1つ設けるようにして配線パッド数を減らすように構成する際に、配線が互いに重なり合うことがないため、絶縁不良等でこれらが短絡する恐れが全く無い。

【0046】

また、半導体領域内の電気経路が、長さが短く、且つ幅が広く形成されるためその半導体領域での抵抗値を低くすることができる。また、配線を単層（同じ層）に形成できるため、製造工程を簡略化でき、安価なマトリクス型LEDアレイを提供できる。

【0047】

尚、以上の説明では、電流阻止層として高抵抗基板2上に薄い半導体層7を設け、半導体層7を素子分離して電流を阻止した例を説明したが、高抵抗基板2に代えて、逆導電型の半導体基板を電流阻止層として用いることもできる。また、本発明ではこれに限らず、薄い半導体層7の下に電流阻止層として高抵抗又は逆導電型の薄層を形成してもよい。この場合は、この電流阻止薄層の下の基板の導電型及び抵抗値は問わない。

【0048】

実施の形態2.

図8は、本発明の半導体素子アレイによる実施の形態2のLEDアレイ31の要部断面図である。また、図9乃至図13の各図は、LEDアレイ31の製造工程を説明するための図であり、各図(a)は各工程での平面図を示し、同図(b

）は各図（a）の指示線 2 1 3 を含む断面をそれぞれ矢印 A 方向からみた断面図である。尚、図 8 は、完成時の LED アレイ 3 1 の平面図である図 1 3（a）中の指示線 2 1 1 を含む断面を矢印 A 方向からみた拡大断面図に相当する。

【 0 0 4 9 】

図 8 の断面図に示すように、この LED アレイ 3 1 では、例えば半絶縁性 GaAs 基板で形成された高抵抗基板 2 上に、下層から順に n 型 GaAs コンタクト層 3 2、n 型 $Al_xGa_{1-x}As$ クラッド層 3 3、 $Al_yGa_{1-y}As$ 活性層 3 4、p 型 $Al_zGa_{1-z}As$ クラッド層 3 5、及び p 型 GaAs コンタクト層 3 6 が形成されている。ここで x、y、z は、Al の組成比を示し、例えば、実施の形態 1 で説明した同様の理由によって、 $x, y \geq y = 0.15$ とすることができる。

【 0 0 5 0 】

尚、n 型 $Al_xGa_{1-x}As$ クラッド層 3 3、 $Al_yGa_{1-y}As$ 活性層 3 4、p 型 $Al_zGa_{1-z}As$ クラッド層 3 5、及び p 型 GaAs コンタクト層 3 6 をまとめて半導体多積層部 3 7 とし、n 型 GaAs コンタクト層 3 2 及び半導体多積層部 3 7 が半導体層に相当する。

【 0 0 5 1 】

次に、上記したように高抵抗基板 2 上に n 型 GaAs コンタクト層 3 2、及び半導体多積層部 3 7 を積層した基板を加工して行われる本実施の形態 2 の LED アレイ 3 1 の製造方法について以下に説明する。

【 0 0 5 2 】

先ず、図 9 に示すように、LED アレイ 3 1 の長手方向に沿って、所定の間隔で直線状に並ぶ発光部 4 1 を形成する。このため、これらの発光部 4 1 を除き、エッチングによって n 型 GaAs コンタクト層 3 2 まで達する半導体多積層部 3 7 を除去する。

【 0 0 5 3 】

次に、図 1 0 に示すように、それぞれが発光部 4 1 を含んで長手方向に配列され、電氣的に独立する島状の半導体ブロック 4 2 を形成するための素子分離溝領域 4 3 を形成するため、その領域に相当する部分の n 型 GaAs コンタクト層 3 2

をエッチングにより除去する。この半導体ブロック 4 2 の n 型 GaAs コンタクト層 3 2 の部分は、その上層の半導体多積層部 3 7 よりやや広く形成される。

【0054】

以後の、図 1 1 から図 1 3 に至る工程は、前記した実施の形態 1 の図 5 から図 7 に至る工程に相当するため、共通する部分には同部号を付し、異なる点を重点的に説明する。

【0055】

これらの工程で、前記実施の形態 1 の同工程と主に異なる点は、

(1) 層間絶縁膜 1 1 が、半導体ブロック 4 2 及び素子分離溝領域 4 3 以外の領域において、高抵抗基板 2 の上層となる n 型 GaAs コンタクト層 3 2 上に形成されている点、

(2) 図 8 に示すように、n 側電極 1 2 が、半導体ブロック 4 2 の領域において、高抵抗基板 2 の上層となる n 型 GaAs コンタクト層 3 2 上に形成されている点、

(3) アノード配線パッド 1 3 の第 1 と第 2 の端子 1 3 a, 1 3 b の先端部が、各々半導体多積層部 3 7 の最上層となる p 型 GaAs コンタクト層 3 6 (図 8) にオーミックコンタクトする点、
である。

【0056】

図 1 1 に示すように、図 1 3 に示す第 1 のカソード配線パッド 1 7 が形成される第 1 のカソード配線パッド形成領域 1 1 a、共通電極 1 6 が形成される共通電極形成領域 1 1 b、個別電極 1 4 が形成される個別電極形成領域 1 1 c、n 側電極 1 2 が形成される n 側電極形成領域 1 1 d、及び p 型 GaAs コンタクト層 3 6 (図 8) が形成された拡散形成領域 1 1 e を除いて、LED アレイ 1 の平面全域に対して層間絶縁膜 1 1 を形成する。

【0057】

その際、本実施の形態では、先ず平面全域に対して層間絶縁膜 1 1 を形成し、その後、上記した各形成領域に対してホトリソグラフィとエッチングを施してこれらの部分の絶縁膜を剥離する。

【 0 0 5 8 】

次に、図 1 2 に示すように、高抵抗基板 2 の上層となる n 型 GaAs コンタクト層 3 2 とそれぞれがオーミックコンタクトを形成する、n 側電極 1 2、個別電極 1 4、共通電極 1 6、及び第 1 のカソード配線パッド 1 7 が同一工程で形成される。

【 0 0 5 9 】

そして最後に、図 1 3 に示すように、層間絶縁膜 1 1 の上に、第 1 端子 1 3 a と第 2 端子 1 3 b を有するアノード配線パッド 1 3、中間配線 1 5、引出し配線 1 9、共通配線 1 8、及び第 2 のカソード配線パッド 2 0 が同一工程で形成される。このとき、アノード配線パッド 1 3 の第 1 と第 2 の端子 1 3 a、1 3 b の各先端部は、対応する半導体ブロック 4 2 の第 2 導電型接合部に相当する p 型 GaAs コンタクト層 3 6 とオーミックコンタクトを形成する。

【 0 0 6 0 】

以上の構成によれば、中間配線 1 5 によって n 側電極 1 2 に電氣的に接続された個別電極 1 4 は、層間絶縁膜 1 1 下の n 型 GaAs コンタクト層 3 2 の半導体層に一端接続され、この半導体層の導電性を利用して再び共通電極 1 6 に電氣的に接続される。従って、中間配線 1 5 につながる第 1 グループの各半導体ブロック 4 2 の n 側電極 1 2 は、以上の経路を介して、電氣的に第 1 のカソード配線パッド 1 7 に接続することが可能となる。

【 0 0 6 1 】

以上のようにして形成された LED アレイ 3 1 の駆動方法は、前記した実施の形態 1 の駆動方法と同様に行うことができるため、その説明は省略する。

【 0 0 6 2 】

以上の実施の形態 2 の LED アレイ 3 1 によれば、前記した実施の形態 1 の LED アレイ 1 とほぼ同じ構造であるが、半絶縁性基板上に所謂ダブルヘテロ構造となるよう、エピタキシャル成長させているため、実施の形態 1 の LED アレイ 1 のような複雑で再現性の難しい不純物拡散工程を省略することができる。このため、形態 1 の LED アレイ 1 と同様の効果が得られるほか、均一性に優れ、生産コストダウンによる更に安価なマトリクス型 LED アレイを提供できる。

【 0 0 6 3 】

実施の形態 3.

図 1 4 は、本発明の半導体素子アレイによる実施の形態 3 の L E D アレイ 5 1 の要部構成を示す平面図である。また図 1 5 (a) は図 1 4 中の指示線 2 2 1 を含む断面を矢印 A 方向からみた断面図であり、同図 (b) は図 1 4 中の指示線 2 2 2 を含む断面を矢印 A 方向からみた断面図である。

【 0 0 6 4 】

この実施の形態 3 の L E D アレイ 5 1 が、前記した図 1 に示す実施の形態 1 の L E D アレイ 1 と主に異なる点は、各半導体ブロック 8 の n 側電極 1 2 と第 1 及び第 2 のカソード配線パッド 5 3, 5 4 とを電氣的に接続する接続経路と、半導体部ブロック 8 を 2 つ毎に交互にずらして形成した点である。

【 0 0 6 5 】

従って、図 1 に示す実施の形態 1 の発光素子アレイ 1 と同一、或いはそれに相当する部分には同一符号を付して、或いは図面を省略して説明を省略し、異なる点を重点的に説明する。

【 0 0 6 6 】

素子分離溝領域 9 によって互いに電氣的に独立する各半導体部ブロック 8 には、それぞれ p 型半導体拡散領域 1 0 と n 側電極 1 2 とが形成されている。発光素子アレイ 5 1 の長手方向と直交する方向に互いにずれて配置された隣接する一対の半導体ブロック 8 の p 型半導体拡散領域 1 0 には、素子分離溝領域 9 の矢印 C 方向の側において半導体ブロック 8 の 2 つに 1 つが対応するように一列に配設されたアノード配線パッド 5 5 の第 1 と第 2 の端子 5 5 a, 5 5 b の各先端部がそれぞれオーミックコンタクトしている。

【 0 0 6 7 】

一方、素子分離溝領域 9 の矢印 D 方向の側においては、同方向にずれて配置された第 1 のグループに属する一対の各半導体ブロック 8 に対応する位置に、個別電極に相当する第 2 n 側電極 5 6 が所定の間隔で形成されている。この第 2 n 側電極 5 6 は、図 1 5 (b) に示すように n 型半導体層 7 の上に形成された層間絶縁膜 1 1 に形成された開口を介して n 型半導体層 7 の最上層である G a A s コン

タクト層 6 (図 2) にオーミックコンタクトを形成している。そして各第 2 n 側電極 5 6 とそれぞれ対向する一対の半導体ブロック 8 の n 側電極 1 2 間には、各々両電極間を電氣的に接続する接続導体 5 7 が形成されている。

【 0 0 6 8 】

従って、矢印 D 方向にずれた各一対の半導体ブロック 8 の n 側電極 1 2 は、n 型半導体層 7 の GaAs コンタクト層 6 (図 2) を介して互いに電氣的に接続されている。更に、図 1 5 (a) に示すように、特定の第 2 n 側電極 5 6 の上面には、接続導体 5 7 に連続して第 1 カソード配線パッド 5 3 が形成されている。従って、この第 1 カソード配線パッド 5 3 と矢印 D 方向にずれた各半導体ブロック 8 の n 側電極 1 2 とは、各接続導体 5 7 及び n 型半導体層 7 の GaAs コンタクト層 6 (図 2) を介して電氣的に接続されている。

【 0 0 6 9 】

尚、この場合、n 型半導体層 3 として、S、Se、Te、Ge、Si などの半導体不純物元素を $1.0 \times 10^{15} \sim 1.0 \times 10^{19} / \text{cm}^3$ 程度含有させることが好ましい。

【 0 0 7 0 】

また、素子分離溝領域 9 の矢印 D 方向の側において、層間絶縁膜 1 1 上に形成された第 2 のカソード配線パッド 5 4 は、各共通端子 5 8 を介して、矢印 C 方向にずれて配置された第 2 のグループに属する各半導体ブロック 8 の n 側電極 1 2 と電氣的に接続している。

【 0 0 7 1 】

次に、この LED アレイ 5 1 の製造方法について説明する。

図 1 6 及び図 1 7 の各図は、LED アレイ 5 1 の製造工程を説明するための図であり、各工程での平面図である。

【 0 0 7 2 】

図 1 6 (a) に示す LED アレイ 5 1 の基板は、実施の形態 1 と同様のものであり、図 1 5 に示すように半絶縁性 GaAs 基板で形成された高抵抗基板 2 に、n 型半導体層 7 をエピタキシャル成長させたものを使用する。この n 型半導体層としては、前記した図 2 に示すようにその最下層から順に $\text{Al}_x\text{Ga}_{1-x}\text{As}$ クラ

ッド層 3、 $Al_yGa_{1-y}As$ クラッド層 4、 $Al_zGa_{1-z}As$ クラッド層 5、及び $GaAs$ コンタクト層 6 とすることができる。そして同図に示すように、この基板上の発光部を形成する位置に対応させて実施の形態 1 と同様の方法で p 型半導体拡散領域 10 を形成する。

【0073】

次に図 16 (b) に示すように、それぞれが p 型半導体拡散領域 10 を含んで長手方向に対になってジグザグに配列され、電氣的に独立する島状の半導体ブロック 8 を形成するため、例えば過水磷酸系のエッチャントとを用いたウェットエッチングによって、高抵抗基板 2 (図 15) にまで達する素子分離溝領域 9 を形成する。

【0074】

次に図 16 (c) に示すように、図 14 に示す第 2 n 側電極 56 が形成される第 2 n 側電極形成領域 11g、n 側電極 12 が形成される n 側電極形成領域 11h、及び p 型半導体拡散領域 10 が形成された拡散形成領域 11i を除いて、LED アレイ 51 の平面全域に対して層間絶縁膜 11 を形成する。

【0075】

次に、図 17 (a) に示すように、n 型半導体層 7 の最上層となる $GaAs$ コンタクト層 6 (図 2) とそれぞれがオーミックコンタクトを形成する、n 側電極 12、及び第 2 n 側電極 56 が同一工程で形成される。この電極材料としては、n 型 $GaAs$ 層とオーミックコンタクトできるものであれば特に制限はなく、例えば $AuGe/Ni/Au$ 等を積層したものが使用できる。

【0076】

そして最後に、図 17 (b) に示すように、層間絶縁膜 11 の上に、第 1 端子 55a と第 2 端子 55b を有するアノード配線パッド 55、接続導体 57、共通端子 58 を有する第 2 のカソード配線パッド 54 が形成されると共に、所定の第 2 n 側電極 56 の上に第 1 のカソード配線パッド 53 が同一工程で形成される。このとき、アノード配線パッド 55 の第 1 と第 2 の端子 55a、55b の各先端部は、対応する半導体ブロック 8 の p 型半導体拡散領域 10 とオーミックコンタクトを形成する。この電極材料としては、p 型 $GaAs$ 層とオーミックコンタ

トできるものであれば特に制限はなく、例えばTi/Pt/Au等を積層したものが使用できる。

【0077】

以上の様にして形成されたLEDアレイ51の駆動方法について、図14を参照しながら説明する。

【0078】

先ず、矢印C側によった所望の発光部が発光するように、第2カソード配線パッド54と該当する発光部に対応するアノード側配線パッド55間に順方向バイアスを印加する。このとき矢印D側よりの発光部は、開放或いは同電位とされて発光しない。次に、矢印D側よりの所望の発光部が発光するように、第1共通電極パッド53と該当する発光部に対応するアノード側配線パッド55間に順方向バイアスを印加する。このとき矢印C側より発光部は、開放或いは同電位とされて発光しない。

【0079】

以上のように、発光部のC側よりの列とD側よりの列とを、所望の時間差をもって時分割駆動して交互に発光可能状態とする。これにより、このLEDアレイ51を電子写真方式のプリンタの光源として使用した場合、LEDアレイ51の長手方向と直交する方向に移動する感光体の周面に、発光部の2つの列に対応する潜像を一行に形成できる。

【0080】

以上のように、実施の形態3のLEDアレイ51によれば、実施の形態1と同様の効果が得られる他、プリンタの光源として使用したとき、発光部を時分割駆動することが可能となる。

実施の形態4.

図18は、本発明の半導体素子アレイによる実施の形態4のLEDアレイ61の要部構成を示す平面図である。

【0081】

本実施の形態4のLEDアレイ61が、前記した図1に示すLED1と主に異なる点は、図1において半導体ブロック8を形成する素子分離溝領域9に代えて

素子分離溝 6 2 が矩形波状に形成されている点である。

【 0 0 8 2 】

従って、図 1 に示す実施の形態 1 の発光素子アレイ 1 と同一、或いはそれに相当する部分には同一符号を付して、或いは図面を省略して説明を省略し、異なる点を重点的に説明する。

【 0 0 8 3 】

n 型半導体層 7 (図 7 (b)) は、エッチングにより発光素子アレイ 6 1 の長手方向に矩形波状に形成された素子分離溝 6 2 によって、2 つの半導体ブロック 6 1 a, 6 1 b に分離され、これ等の各半導体ブロック 6 1 a, 6 1 b の各櫛歯突起部 6 1 c, 6 1 d が交互に歯合するように対向して配列されている。

【 0 0 8 4 】

各櫛歯型突起部 6 1 c, 6 1 d には、長手方向に直線状に並んで半導体ブロック 6 1 b 側に寄った位置に p 型半導体拡散領域 1 0 が位置し、一方、各櫛歯型突起部 6 1 c, 6 1 d の、長手方向に直線状に並んで半導体ブロック 6 1 a 側に寄った位置に n 側電極 1 2 が位置している。

【 0 0 8 5 】

半導体ブロック 6 1 b の各櫛歯型突起部 6 1 d の n 側電極 1 2 は、図 1 の発光素子アレイ 1 と同様に引出し配線 1 9 及び共通配線 1 8 を介して第 2 のカソード配線パッド 2 0 に接続している。

【 0 0 8 6 】

一方、半導体ブロック 6 1 a の各櫛歯型突起部 6 1 c の n 側電極 1 2 は、それぞれ前記した中間配線 1 5 を介して個別電極 1 4 に電氣的に接続されている。この個別電極 1 4 は、層間絶縁膜 1 1 (図 7 (b)) 下の GaAs コンタクト層 6 (図 2) の半導体層に一端接続され、この半導体層の導電性を利用して再び共通電極 1 6 に電氣的に接続される。従って、半導体ブロック 6 1 a の各櫛歯型突起部 6 1 c の n 側電極 1 2 は、以上の経路を介して、電氣的に第 1 のカソード配線パッド 1 7 に接続することができる。

【 0 0 8 7 】

尚、この実施の形態 4 の LED アレイ 6 1 の駆動方法については、前記した実

施の形態 1 の L E D アレイ 1 の駆動方法と全く同様に行えるため、ここでの説明は省略する。

【 0 0 8 8 】

以上のように、実施の形態 4 の L E D アレイ 6 1 によれば、前記した実施の形態 1 の効果に加え、例えば中間配線 1 5 やアノード配線パッドの第 2 端子 1 3 b が素子分離領域の溝をまたぐことなく配線できるため、断線等の配線不良確率を半分に減らして生産時の歩留まりをよくすることが可能となる。

【 0 0 8 9 】

尚、前記した各実施の形態では、第 1 導電型に n 型の半導体を、そして第 2 導電型に p 型の半導体をそれぞれ想定して説明したが、これに限定されるものではなく、第 1 導電型に p 型の半導体を、そして第 2 導電型に n 型の半導体を採用してもよい。この場合半導体層の各層の極性も逆に設定する。

【 0 0 9 0 】

また、基板、電極、及び不純物の材料及び組成は、前記した各実施の形態で採用したものに限定されるものではなく、同様の効果を奏する他の素材を採用してもよい。

【 0 0 9 1 】

また、本発明は、L E D アレイに限定されるものではなく、例えば、半導体レーザーや、ドライバー I C 等の他の半導体素子に適用することもできる。

【 0 0 9 2 】

また、前記した実施の形態では、発光部の不純物 (Z n) を拡散させる方法として固相拡散法を用いたが、これに限定されるものではなく、気相拡散法或いはイオンインプランテーション等の拡散法を採用してもよいなど種々の態様を取り得るものである。

【 0 0 9 3 】

また、前記した特許請求の範囲、及び実施の形態の説明において、「上」、「下」、「左」といった言葉を使用したか、これらは便宜上であって、半導体素子アレイを配置する状態における絶対的な位置関係を限定するものではない。

【 0 0 9 4 】

【発明の効果】

本発明の半導体素子アレイによれば、互いに絶縁する複数の電極パッドに、各グループの半導体素子群の端子を電氣的に接続する際に、単層（同じ層）で配線層が交差しないようにできるため、絶縁不良等でこれ等が短絡することがなく、製品の歩留まりを良くすると共に、製造工程を簡略化でき、安価なマトリクス型の半導体素子アレイを提供できる。

【図面の簡単な説明】

【図 1】 本発明の半導体素子アレイによる実施の形態 1 の LED アレイ 1 の要部構成を示す平面図である。

【図 2】 図 1 中の指示線 2 0 1 を含む断面を矢印 A 方向からみた拡大断面図である。

【図 3】 LED アレイ 1 の製造工程を説明するための図であり、(a) はその平面図を示し、(b) は (a) の指示線 2 0 3 を含む断面を矢印 A 方向からみた断面図である。

【図 4】 LED アレイ 1 の製造工程を説明するための図であり、(a) はその平面図を示し、(b) は (a) の指示線 2 0 3 を含む断面を矢印 A 方向からみた断面図である。

【図 5】 LED アレイ 1 の製造工程を説明するための図であり、(a) はその平面図を示し、(b) は (a) の指示線 2 0 3 を含む断面を矢印 A 方向からみた断面図である。

【図 6】 LED アレイ 1 の製造工程を説明するための図であり、(a) はその平面図を示し、(b) は (a) の指示線 2 0 3 を含む断面を矢印 A 方向からみた断面図である。

【図 7】 LED アレイ 1 の製造工程を説明するための図であり、(a) はその平面図を示し、(b) は (a) の指示線 2 0 3 を含む断面を矢印 A 方向からみた断面図である。

【図 8】 本発明の半導体素子アレイによる実施の形態 2 の LED アレイ 3 1 の要部断面図である。

【図 9】 LED アレイ 3 1 の製造工程を説明するための図であり、(a)

はその平面図を示し、(b)は(a)の指示線213を含む断面を矢印A方向からみた断面図である。

【図10】 LEDアレイ31の製造工程を説明するための図であり、(a)はその平面図を示し、(b)は(a)の指示線213を含む断面を矢印A方向からみた断面図である。

【図11】 LEDアレイ31の製造工程を説明するための図であり、(a)はその平面図を示し、(b)は(a)の指示線213を含む断面を矢印A方向からみた断面図である。

【図12】 LEDアレイ31の製造工程を説明するための図であり、(a)はその平面図を示し、(b)は(a)の指示線213を含む断面を矢印A方向からみた断面図である。

【図13】 LEDアレイ31の製造工程を説明するための図であり、(a)はその平面図を示し、(b)は(a)の指示線213を含む断面を矢印A方向からみた断面図である。

【図14】 本発明の半導体素子アレイによる実施の形態3のLEDアレイ51の要部構成を示す平面図である。

【図15】 図15(a)は図14中の指示線221を含む断面を矢印A方向からみた断面図であり、(b)は図14中の指示線222を含む断面を矢印A方向からみた断面図である。

【図16】 LEDアレイ51の製造工程を説明するための図で、各工程での平面図である。

【図17】 LEDアレイ51の製造工程を説明するための図で、各工程での平面図である。

【図18】 本発明の半導体素子アレイによる実施の形態4のLEDアレイ61の要部構成を示す平面図である。

【図19】 従来の半導体素子アレイの一例を示す発光素子アレイ100の構成を示す平面図である。

【符号の説明】

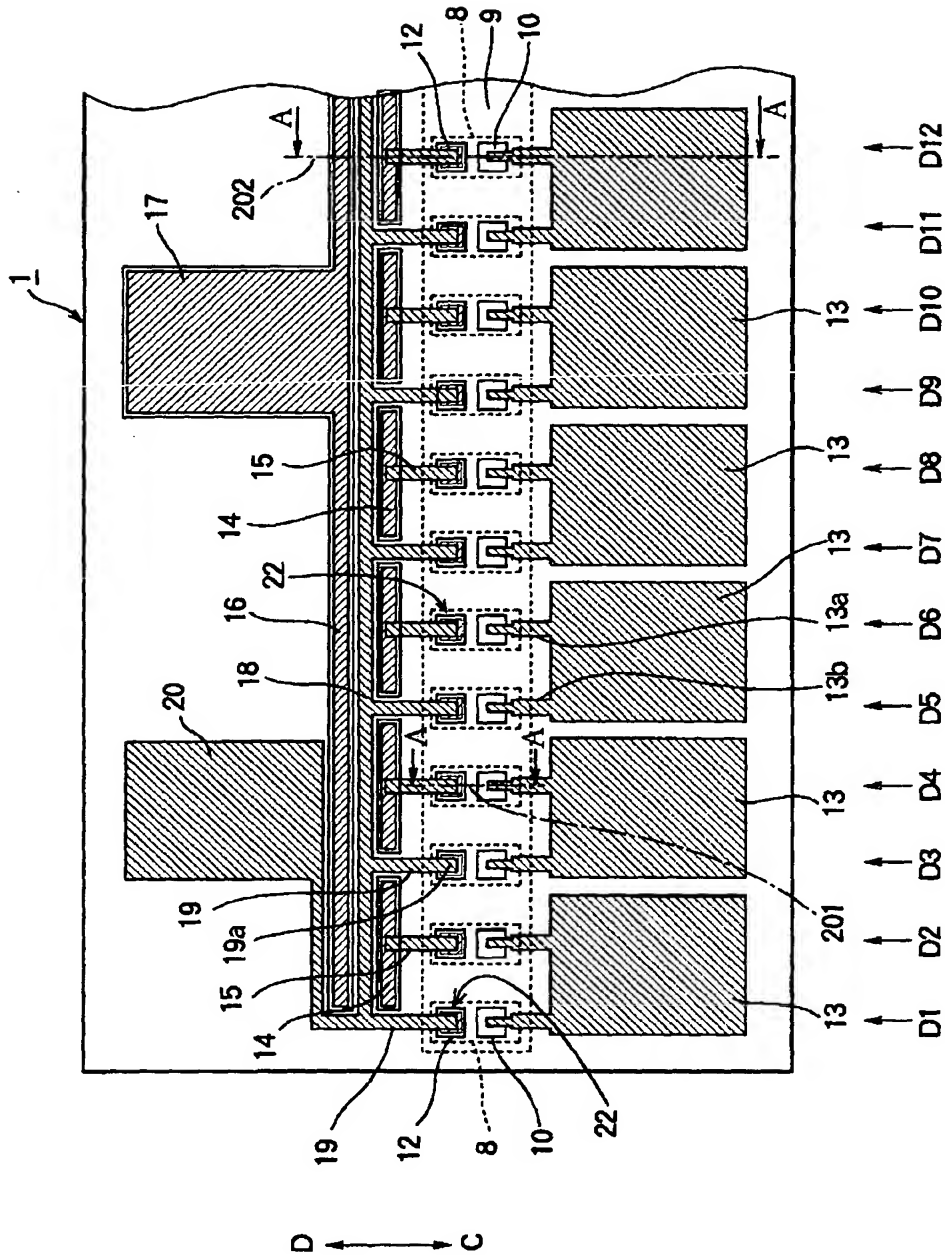
1 LEDアレイ、 2 高抵抗基板、 3 $Al_xGa_{1-x}As$ クラッド層、

4 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 活性層、 5 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ クラッド層、 6 GaAs コンタクト層、 7 n 型半導体層、 8 半導体ブロック、 9 素子分離溝領域、 10 p 型半導体拡散領域、 11 層間絶縁膜、 12 n 側電極、 13 アノード配線パッド、 13 a 第 1 端子、 13 b 第 2 端子、 14 個別電極、 15 中間配線、 16 共通電極、 17 第 1 のカソード配線パッド、 18 共通配線、 19 引出し配線、 19 a 先端部、 20 第 2 のカソード配線パッド、 21 拡散マスク、 21 a 開口部、 22 発光部、 31 LED アレイ、 32 n 型 GaAs コンタクト層、 33 n 型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ クラッド、 34 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 活性層、 35 p 型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ クラッド、 36 p 型 GaAs コンタクト層、 37 半導体多積層部、 41 発光部、 42 半導体ブロック、 43 素子分離領域、 51 LED アレイ、 53 第 1 のカソード配線パッド、 54 第 2 のカソード配線パッド、 55 アノード配線パッド、 55 a 第 1 端子、 55 b 第 2 端子、 56 第 2 n 側電極、 57 接続導体、 58 共通端子、 61 LED アレイ、 61 a, 61 b 半導体ブロック、 61 c, 61 d 櫛歯突起部、 62 素子分離溝。

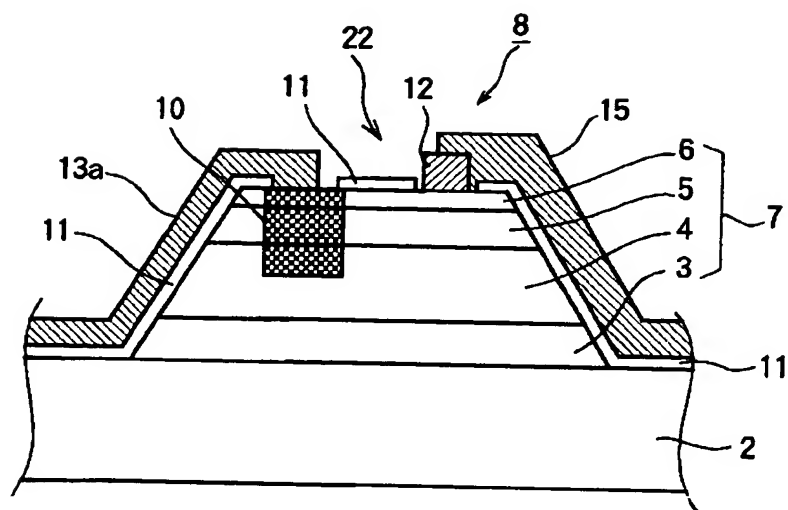
【書類名】

図面

【図 1】

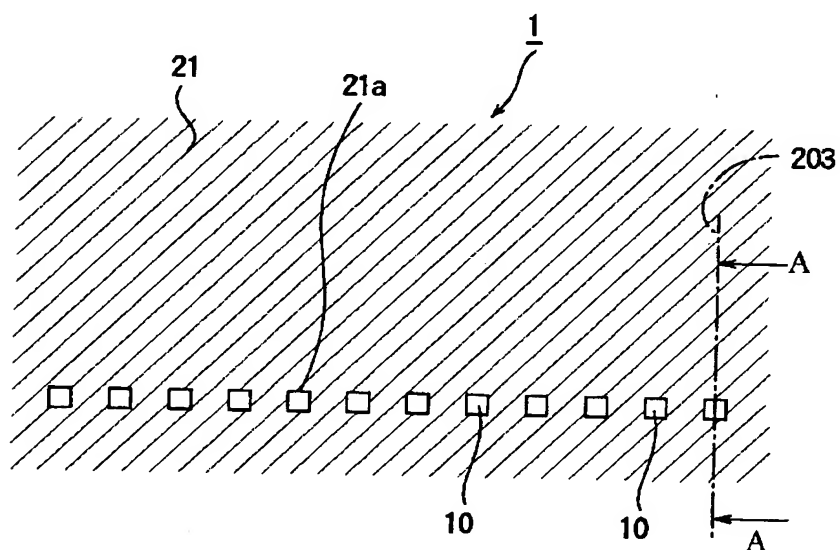


【図 2】

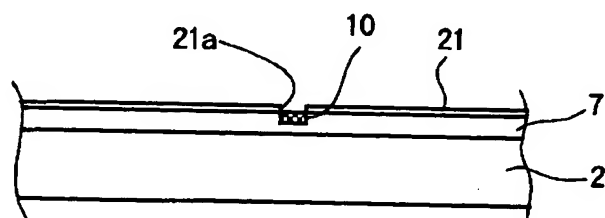


【図 3】

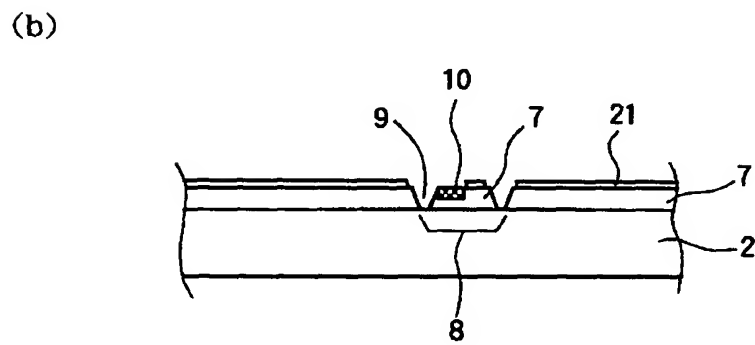
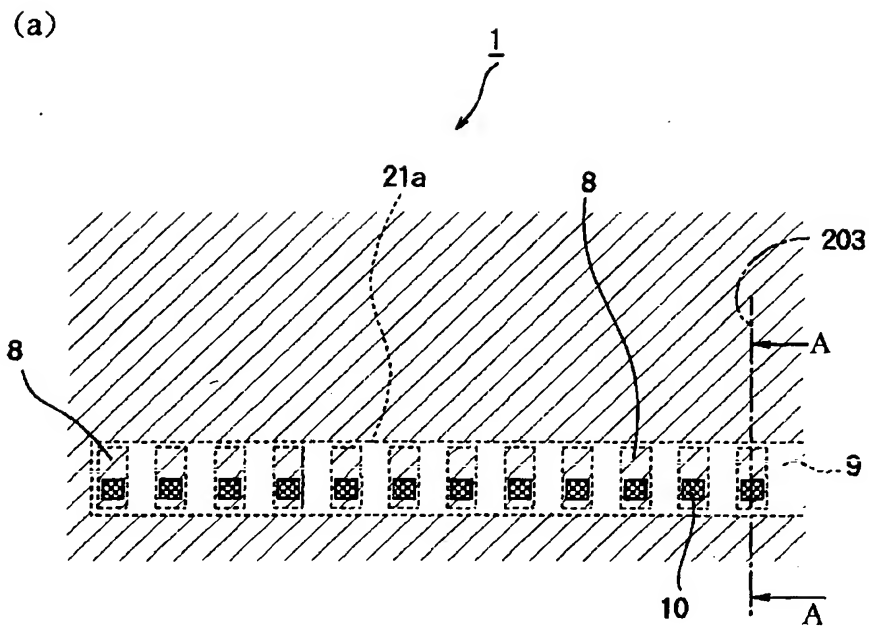
(a)



(b)

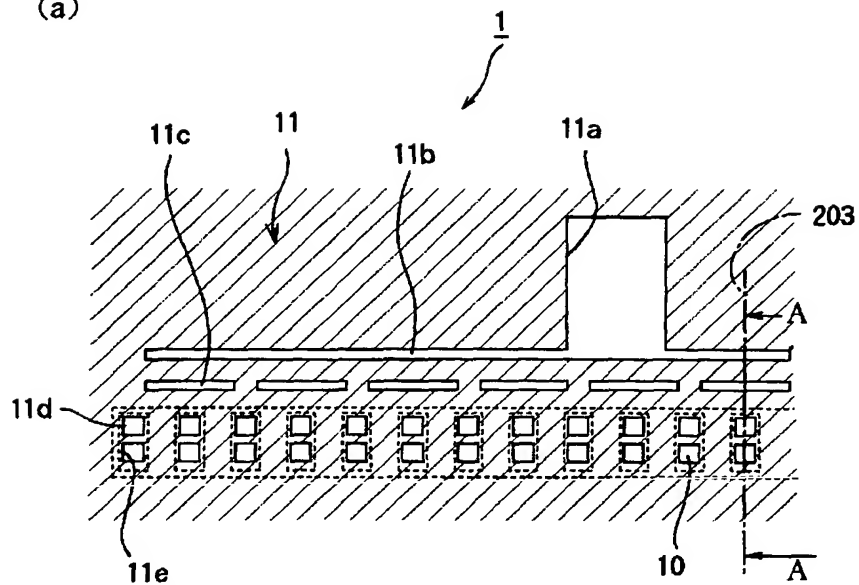


【図 4】

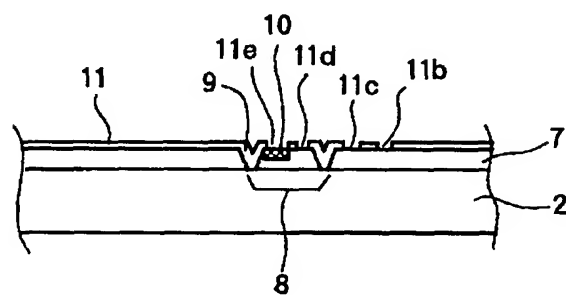


【図 5】

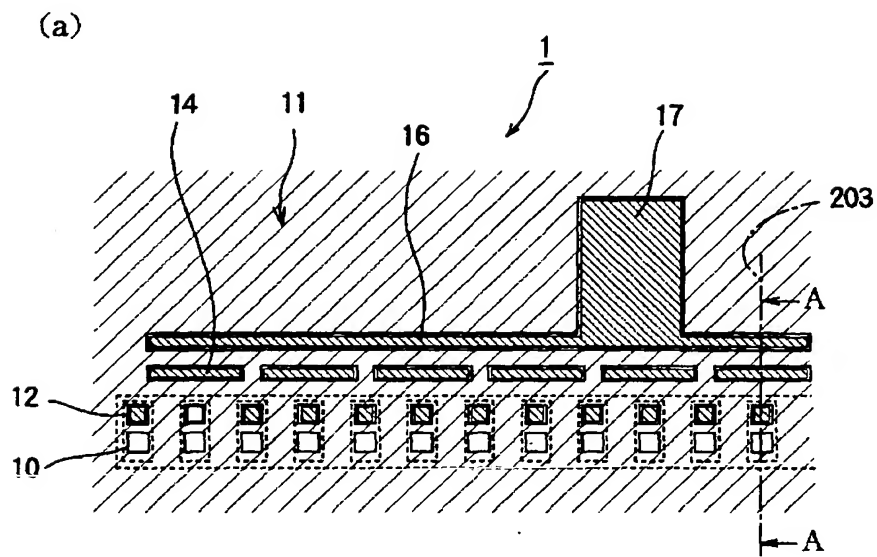
(a)



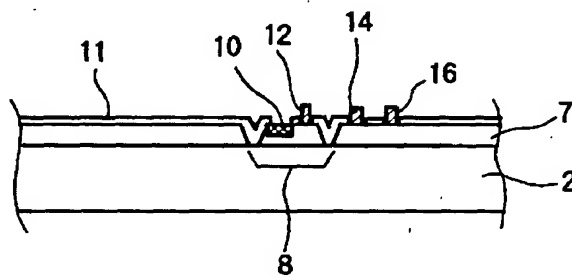
(b)



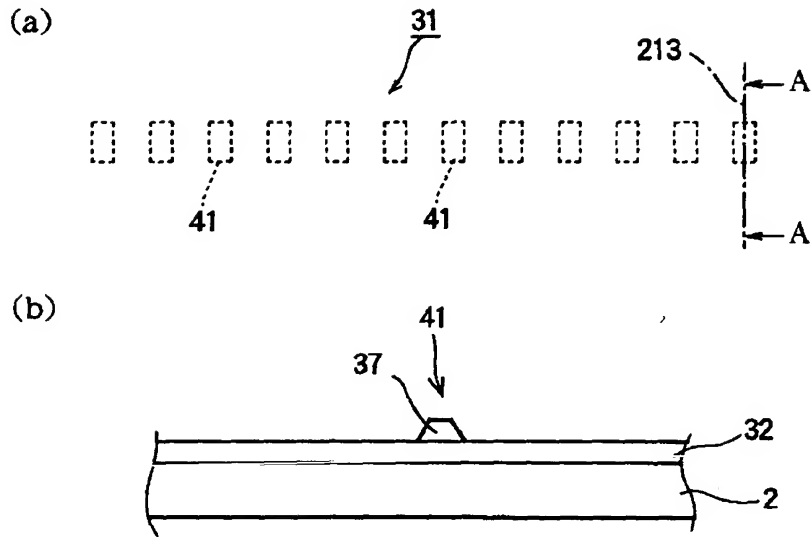
【図 6】



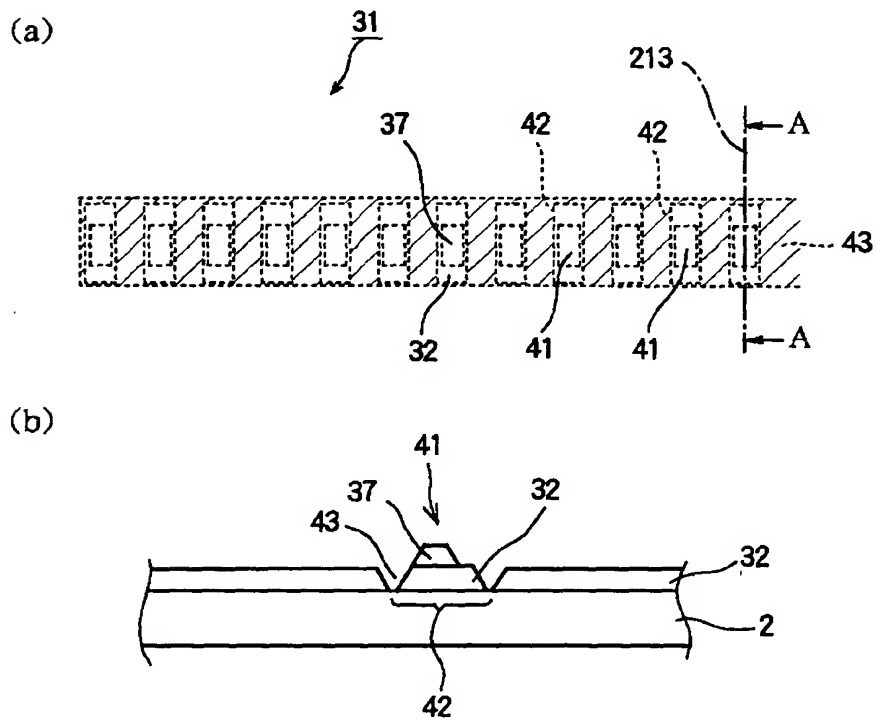
(b)



【図 9】

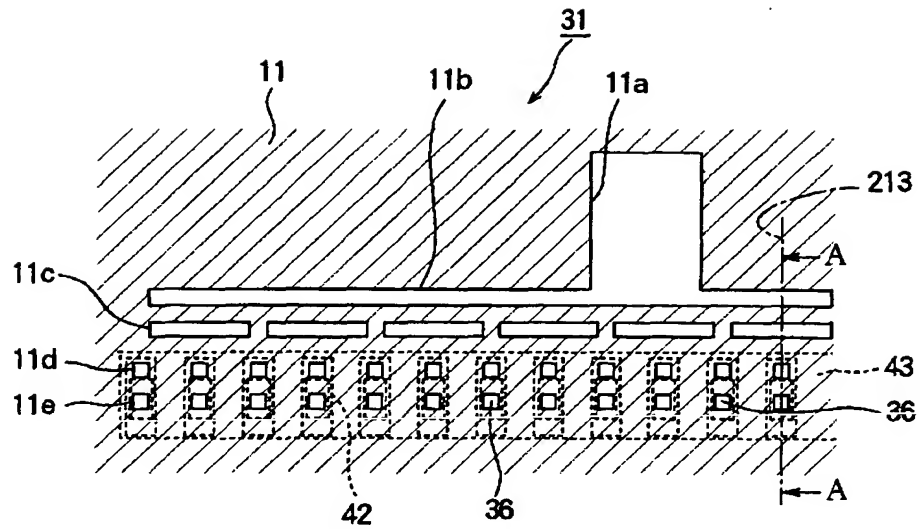


【図 10】

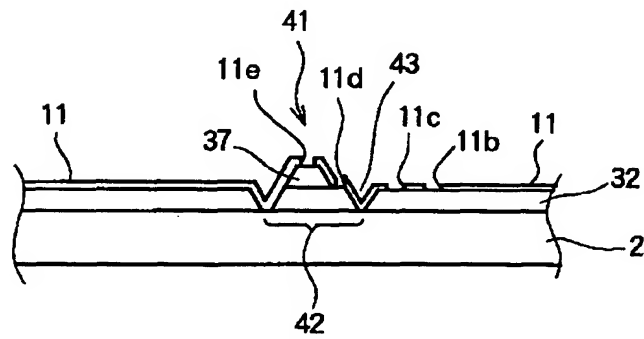


【図 11】

(a)

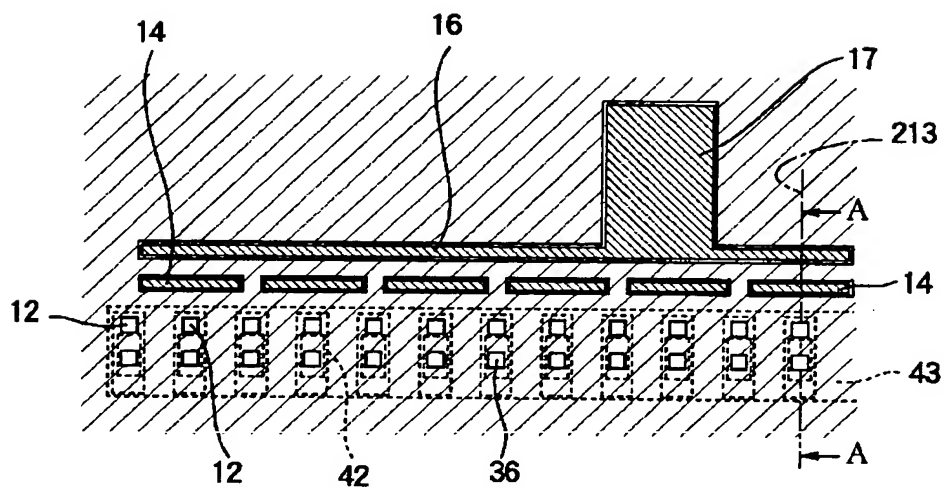


(b)

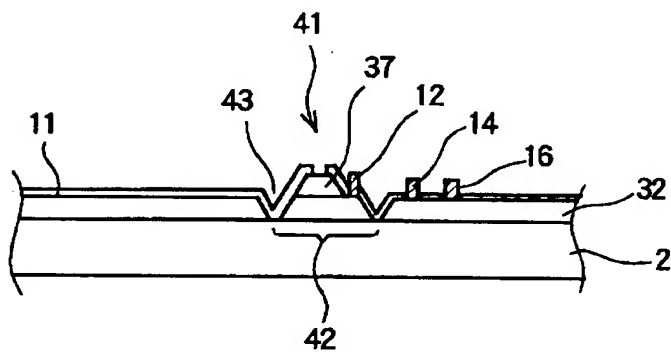


【図 12】

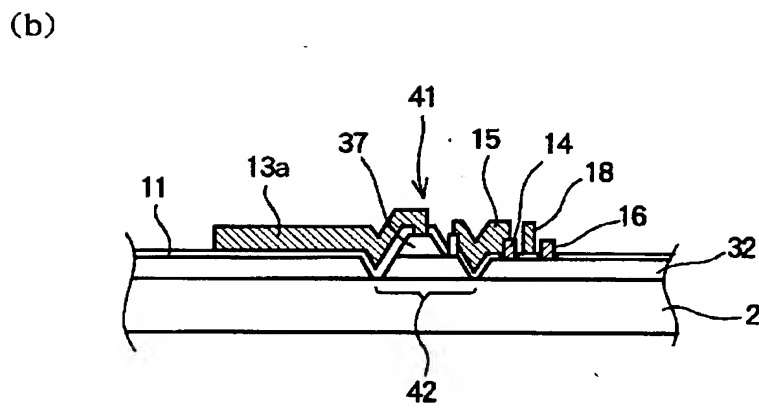
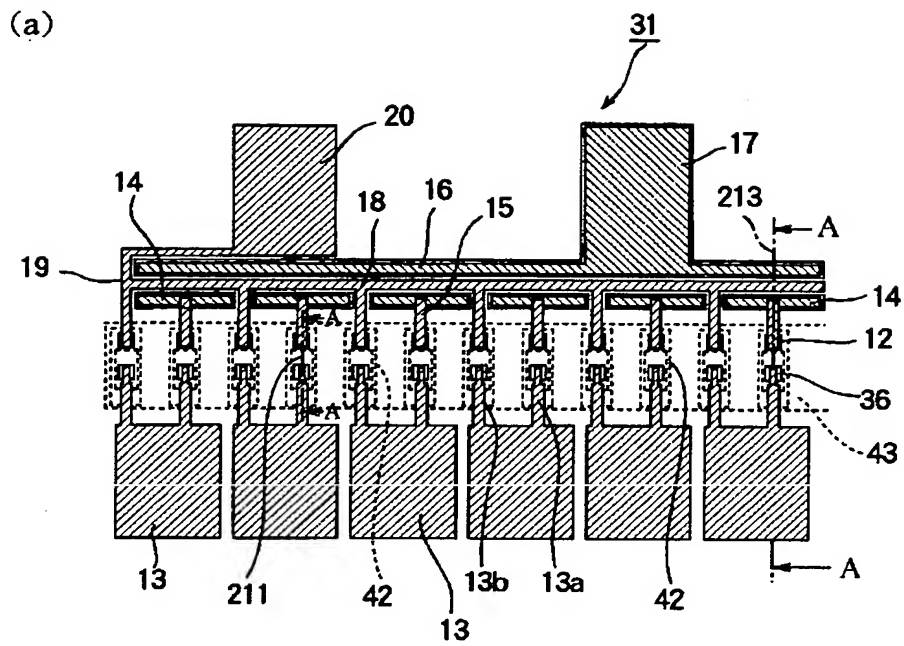
(a)



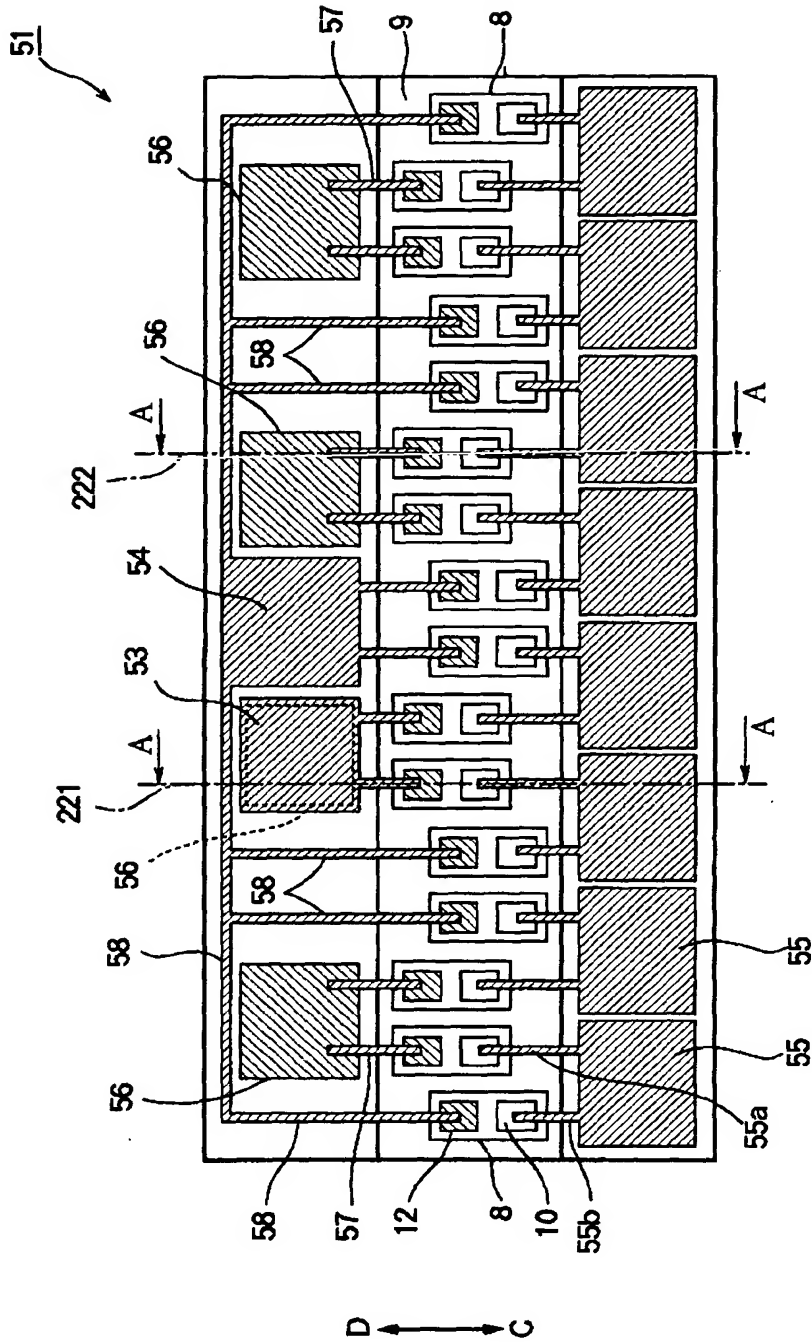
(b)



【図 13】

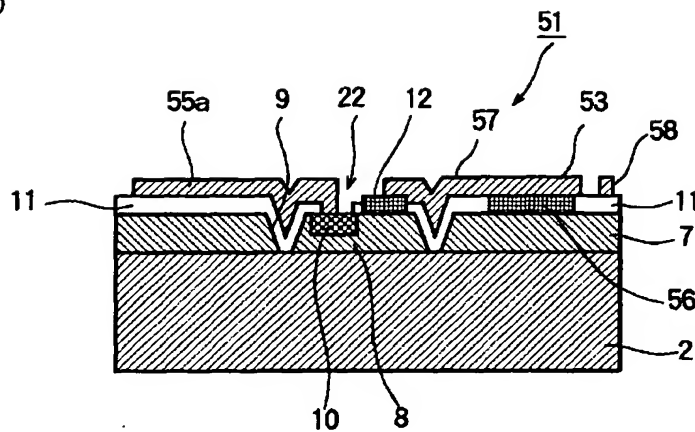


【図 14】

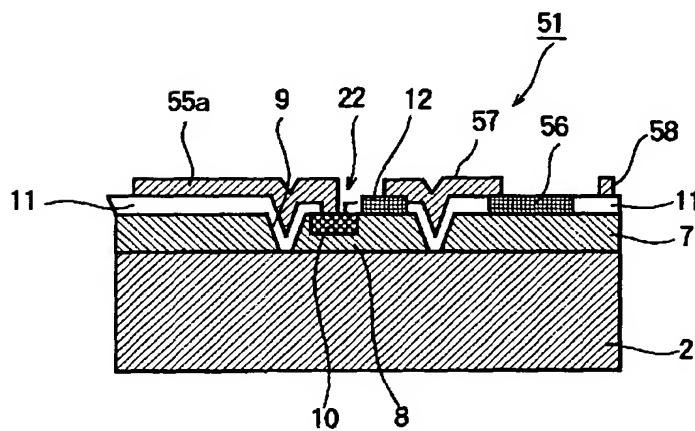


【图 15】

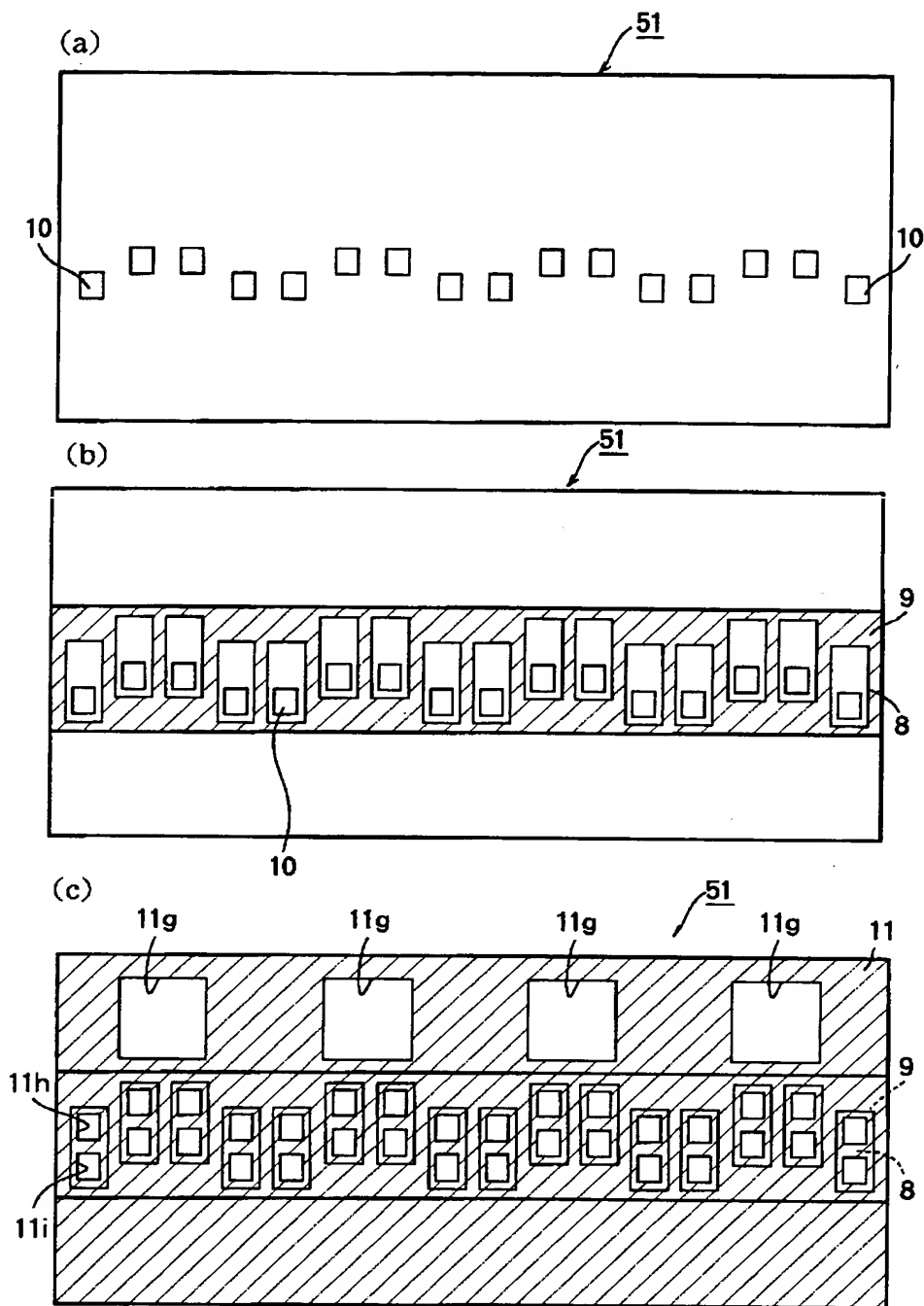
(a)



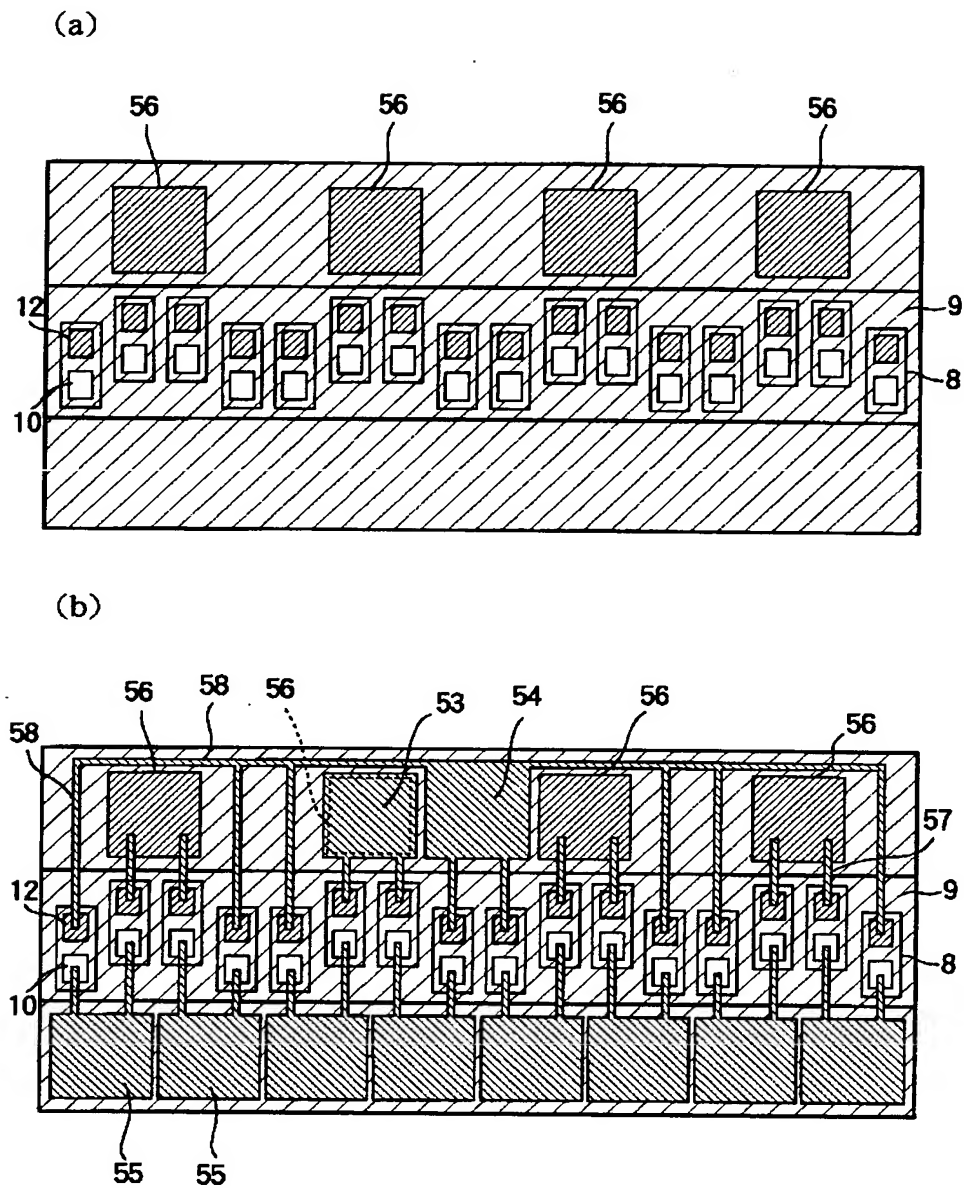
(b)



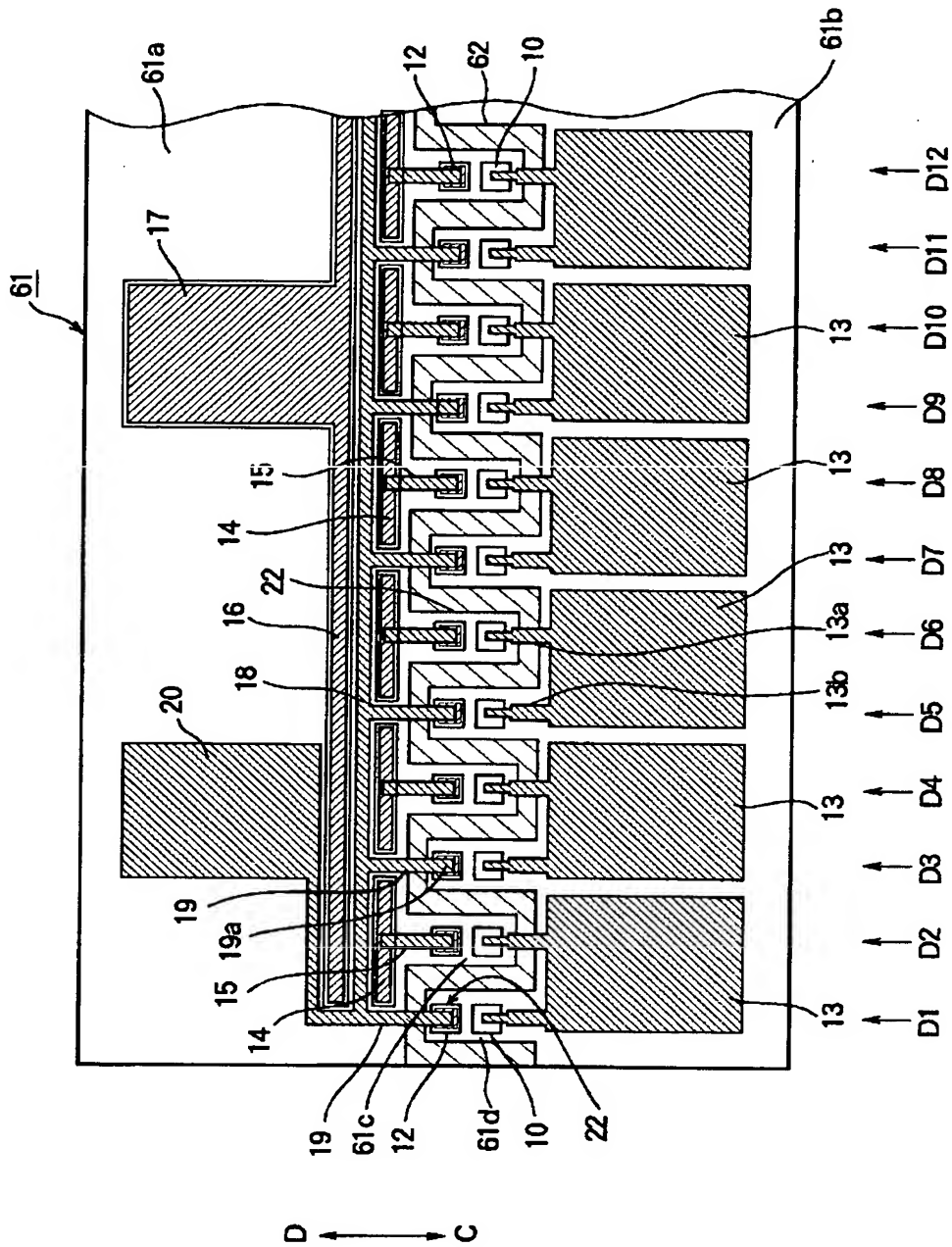
【図 16】



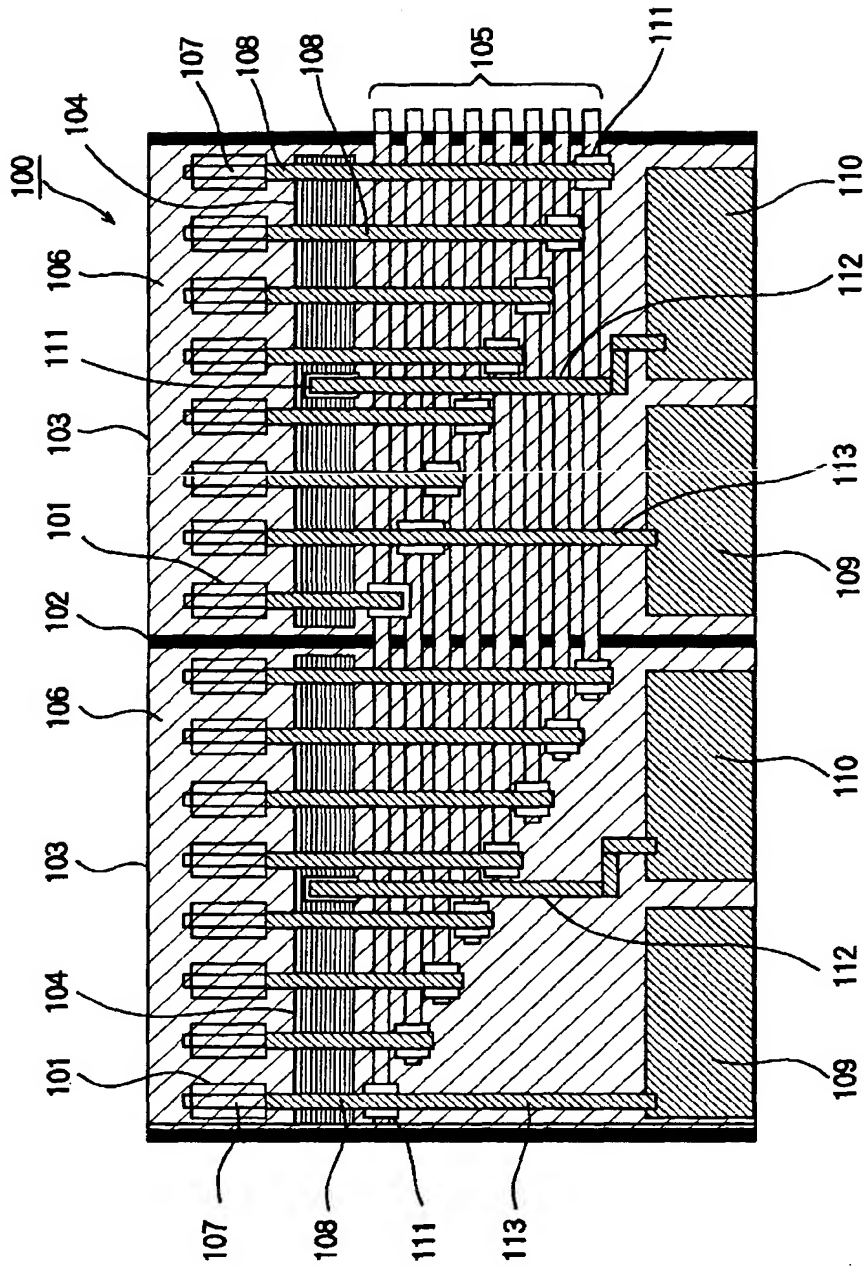
【図 17】



【図 18】



【図 19】



【書類名】 要約書

【要約】

【課題】 半導体素子アレイにおいて、基板上に形成される配線パターン同士が絶縁層を介して交叉する構成となっているために、配線の段差切れが発生したり、配線部の多層化によって製造コストアップが高くなる問題があった。

【解決手段】 基板上に形成される配線パターンのうち、層間絶縁膜の下 GaAs コンタクト層 6 とオーミックコンタクトする共通電極 16 及び個別電極 14 が半導体層を介して電氣的につながるように構成し、これらの間に、層間絶縁膜の上に形成された共通配線 18 を配設することによって、層間絶縁膜上で、配線パターンが交叉しないように構成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [500002571]

1. 変更年月日	1999年12月20日
[変更理由]	新規登録
住 所	東京都八王子市東浅川町550番地-1
氏 名	株式会社沖デジタルイメージング

出 願 人 履 歴 情 報

識別番号 [591044164]

1. 変更年月日 2001年 9月18日

[変更理由] 住所変更

住 所 東京都港区芝浦四丁目11番22号
氏 名 株式会社沖データ